

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-128877

(43) 公開日 平成5年(1993)5月25日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06		9191-5L	G 1 1 C 17/00	3 0 9 C
H 0 1 L 27/115		8831-4M	H 0 1 L 27/10	4 3 4

審査請求 未請求 請求項の数2(全22頁)

(21) 出願番号 特願平3-291300

(22) 出願日 平成3年(1991)11月7日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 上田 修

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72) 発明者 森 真一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

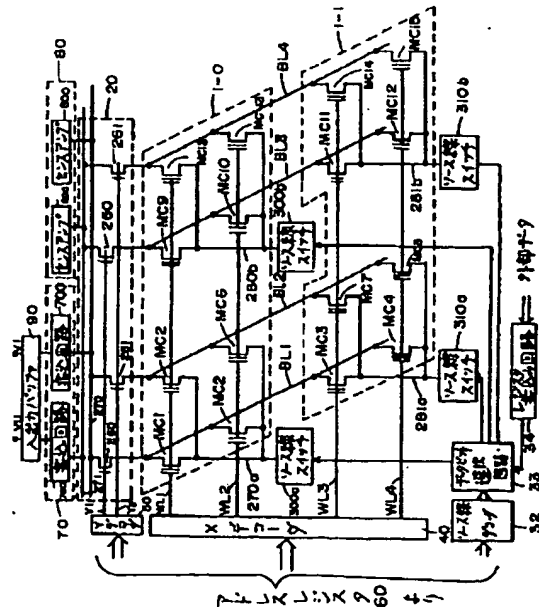
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【構成】 メモリセルアレイ100が、2ビットD0、D1の入出力データを担うメモリセルを有する2つのブロック1-0、1-1に分割され、かつ、ブロック単位でのデータ消去が可能な構成のフラッシュEEPROMにおいて、最下位ビットD0のメモリセルMC1~MC8と第1位ビットD0のメモリセルMC9~MC15とに個別にソース線280a、281a、280b、281bおよびソース線スイッチ30a、30b、31a、31bが設けられ、かつ、消去モードにおいて各ソース線スイッチに対応して、これに高電位V₀の発生を許可または禁止するための信号を与えるデータビット選択回路33が設けられる。

【効果】 メモリセルアレイ100の記憶データを、ビット単位で消去することができるので、メモリセルアレイ100の記憶データの一部を変更するようなデータ書換えも、効率よくかつ正確に行なうことができる。



FH 008482

【特許請求の範囲】

【請求項1】 複数ビットのデータに対応して設けられた複数のメモリセル群を備え、

前記複数のメモリセル群の各々は、各々が電気的に書込および消去可能な複数の不揮発性メモリセルを含み、

前記複数のメモリセル群に対応して設けられ、各々が、対応するメモリセル群内の前記複数のメモリセルにデータ消去のための高電界を一括して生じさせる複数の消去手段と、

前記複数のメモリセル群の各々の記憶データの消去の許可または禁止を指示する指示手段と、

前記指示手段の出力にตอบสนองして、前記複数の消去手段の各々を能動化または不能化する制御手段とをさらに備えた、不揮発性半導体記憶装置。

【請求項2】 前記複数の不揮発性メモリセルの各々は、第1の導通端子と、第2の導通端子と、制御端子と、前記第1の導通端子、前記第2の導通端子、および前記制御端子の電位に応じて電子の注入および電子の放出が行なわれるフローティングゲート領域とを含み、

前記複数のメモリセル群の各々において、前記複数の不揮発性メモリセルの前記第1導通端子は共通に接続され、

前記複数の消去手段の各々は、前記制御手段によって能動化されて、対応するメモリセル群において前記共通に接続された第1導通端子に所定の高電位を付与する手段を含む、請求項1記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体記憶装置に関し、特に、所望のメモリセルの記憶データだけ消去することが可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 不揮発性半導体記憶装置は、DRAM (Dynamic Random Access Memory) やSRAM (スタティック型 Random Access Memory) 等の揮発性半導体記憶装置と異なり、電源切断後も記憶データが保持されることが特徴である。このような不揮発性半導体記憶装置として代表的なものにPROM (Programmable Read Only Memory) がある。PROMは、ユーザ側で情報を書き込む不揮発性半導体記憶装置である。このPROMとして現在既に商品化されている代表的なものとして、データ消去およびデータ書き込みのいずれも電気的に行なわれるEEPROM (Electrically Erasable and Programmable Read Only Memory) がある。図11は、EEPROMにおけるメモリセルの構造を示す断面図である。

【0003】 図11を参照して、EEPROMにおいて各メモリセルは同一の基板上に形成される。単一のFA

MOSTランジスタ10と単一のMOSTランジスタ11とによって構成される。FAMOSトランジスタ10は、P型基板1上にソースおよびドレインとしてそれぞれ形成されるN型不純物拡散層2および3と、コントロールゲート4と、フローティングゲート5とを含む。フローティングゲート5は、ドレイン2および3間にまたがるように、P型基板1上に酸化膜6を介して形成される。コントロールゲート4は、フローティングゲート5上に酸化膜7を介して形成される。このFAMOSトランジスタ10において、フローティングゲート5と基板1との間に設けられる酸化膜6は、ソース2およびドレイン3間に対応する部分においては、トンネル現象が生じないような膜厚 (通常200オングストローム以上) で形成され、ドレイン2端部に対応する部分においては、トンネル現象が生じ得るように薄く (通常100オングストローム程度) 形成される。酸化膜6のうちこの膜厚の薄い部分6bはトンネル酸化膜と呼ばれる。このトンネル酸化膜6bを利用してデータ書き込みおよびデータ消去が行なわれる。

【0004】 データ書き込み時には、ドレイン2およびコントロールゲート4間に、コントロールゲート4を高電位側とする高電圧が印加される。これによってトンネル酸化膜6bにフローティングゲート5側を高電位側とする高電界が発生してトンネル現象が生じる。すなわち、ドレイン2近傍で発生するホットエレクトロンが酸化膜6bをトンネルしてフローティングゲート5に注入される。フローティングゲート5は、酸化膜6によって他から電気的に切離されているので、いったんフローティングゲート5に注入されたエレクトロンは長時間フローティングゲート5に残留する。

【0005】 データ消去時には、データ書き込みとは逆に、ドレイン2およびコントロールゲート4間に、ドレイン2を高電位側とする高電圧が印加される。これによって、酸化膜6bにデータ書き込み時とは逆方向の高電界が発生するので、フローティングゲート5のエレクトロンが酸化膜6bをトンネルしてドレイン2に放出される。したがって、フローティングゲート5に捕獲されていたエレクトロンはフローティングゲート5から除去される。もちろん、フローティングゲート5にエレクトロンが捕獲されているFAMOSトランジスタ10のしきい値電圧は、エレクトロンを注入されていないフローティングゲート5を有するFAMOSトランジスタ10のそれよりも高い。したがって、データ書き込みおよびデータ消去は、各メモリセルを構成するFAMOSトランジスタ10のしきい値電圧を変化させることによって行なわれる。

【0006】 データ読出時には、コントロールゲート4に適当な電位 (エレクトロンを注入されたフローティングゲート5を有するFAMOSトランジスタ10のしきい値電圧よりも低く、かつ、エレクトロンを注入されてい

ないフローティングゲート5を有するFAMOSトランジスタ10のしきい値電圧よりも高い電位)を与え、ドレイン2およびソース3間に流れる電流の有無を判別すれば、このメモリセルの記憶データが“0”であるか“1”であるかが判別できる。

【0007】このようなデータ消去、データ書込み、およびデータ読出しを1メモリセル単位で行なうために、EEPROMの各々にはMOSTランジスタ11が設けられる。MOSTランジスタ11は、ソースとしてP型基板1上にFAMOSトランジスタ10のドレインと共通に形成される不純物拡散層2と、ドレインとしてP型基板1上に形成されるN型不純物拡散層8と、不純物拡散層2および8間にまたがるようにP型基板1上に形成されるゲート電極9を含む。ゲート電極9とP型基板1とは酸化膜6によって電気的に絶縁される。

【0008】EEPROMのメモリセルアレイにおいては、図11に示される構造のメモリセルが行および列のマトリクス状に配列され、同じ行に配列されるすべてのメモリセルをそれぞれ構成するMOSTランジスタ11のゲート9が同一のワード線に接続され、同じ列に配列されるすべてのメモリセルをそれぞれ構成するMOSTランジスタ11のドレイン8が同一のビット線に接続される。そして、データ書込時には、すべてのFAMOSトランジスタ10のコントロールゲート4に高電位が付与され、かつ、1本のワード線および1本のビット線にそれぞれ、MOSTランジスタ11のしきい値電圧以上の電位および接地電位が与えられる。これによって、この1本のワード線とこの1本のビット線にそれぞれゲート9およびドレイン8を接続されるメモリセルにだけデータが書込まれる。データ消去時には、すべてのFAMOSトランジスタ10のコントロールゲート4が接地され、かつ、1本のワード線および1本のビット線にそれぞれ、MOSTランジスタ11のしきい値電圧以上の電位および高電位が与えられる。これによって、この1本のワード線およびこの1本のビット線にそれぞれゲート9およびドレイン8を接続されるメモリセルのデータだけが消去される。そして、データ読出時には、すべてのFAMOSトランジスタ10のコントロールゲート4に前記適当な電位が付与され、かつ、1本のワード線にMOSTランジスタ11のしきい値電圧以上の電位が付与された状態で、1本のビット線に流れる電流の有無が検知される。これによって、この1本のワード線およびこの1本のビット線にそれぞれゲート9およびドレイン8を接続されるメモリセルの記憶データのみが読出される。

【0009】以上のように、EEPROMのメモリセルの各々は2つのトランジスタによって構成される。このため、EEPROMは、ビットコストが高く高集積化が難しい。一方、動作的には、データ消去が電気的に行なわれるので、EEPROMにおけるデータ消去は選択的

に、たとえば1バイト分のメモリセルごとに(バイト単位で)行なうことができる。

【0010】このようなEEPROM以外の不揮発性半導体記憶装置として、すべてのメモリセルの記憶データを一括して電気的に消去できる、フラッシュEEPROMが注目されつつある。図10は、フラッシュEEPROMにおける各メモリセルの断面構造を示す図である。図10を参照して、各メモリセルは1つのFAMOSトランジスタによって構成される。このFAMOSトランジスタは、フローティングゲート5とP型基板1との間に介在される酸化膜6の厚さがトンネル現象が生じるように薄く、通常100オングストローム程度に設定される。データ書込み時には、コントロールゲート4およびドレイン2に高電圧が印加され、これによって発生したホットエレクトロンがフローティングゲート5に注入される。データ消去時には、コントロールゲート4が接地され、ソース3に高電圧が印加される。これによってフローティングゲート5およびソース3間にトンネル現象が生じ、フローティングゲート5に蓄積されたエレクトロンが酸化膜6をトンネルしてソース3に放出される。なお、コントロールゲート4およびフローティングゲート5間の酸化膜7の厚さは通常200オングストローム以上である。

【0011】フラッシュEEPROMにおいても、複数のメモリセルが行および列のマトリクス状に配列され、かつ、同一の行に配列されるメモリセルをそれぞれ構成するFAMOSトランジスタのコントロールゲート4が同一のワード線に接続され、同一の列に配列されるメモリセルをそれぞれ構成するFAMOSトランジスタのドレイン2が同一のビット線に接続される。データ書込み時およびデータ消去時における、コントロールゲート4およびドレイン2への電圧印加は、それぞれ、ワード線およびビット線を介して行なわれる。フラッシュEEPROMにおいては、すべてのメモリセルを構成するFAMOSトランジスタのソース3が共通の信号線(以下、ソース線と呼ぶ)に接続される。データ消去時には、このソース線に高電圧が印加され、かつ、すべてのワード線が接地される。したがって、フラッシュEEPROMにおけるデータ消去は全ビット同時に行なわれる。なお、ソース線は通常接地電位にある。

【0012】このように、フラッシュEEPROMは、各メモリセルが1つのトランジスタによって構成されるので、ビットコストが安く高集積化に有利である。一方、動作的には、フラッシュEEPROMはすべてのメモリセルの記憶データが一括して電気的に消去されるように構成される。

【0013】図8は、“IEEE Journal of Solid-State Circuits, vol. 23, No. 5, October 1988 pp. 1157~1163”に示された従来のフラッシュEE

PROMの全体構成を示す概略ブロック図である。

【0014】図9は、メモリセルアレイ100およびYゲート200の構成を示す回路図である。

【0015】以下、図8ないし図10を参照しながら、従来のフラッシュEEPROMの構成および動作について説明する。

【0016】メモリセルアレイ1は、行方向、列方向にマトリクス状に配列された複数のメモリセルMCを含む。図9には、メモリセルアレイ100において、同一の入出力線に対応して3行×3列のマトリクス状に配列された9個のメモリセルMCおよびこれらの関与する回路部のみが代表的にされる。

【0017】図9に示されるように、メモリセルアレイ100において、各メモリセル行および各メモリセル列にそれぞれ対応して、1本のワード線WL1~WL3および1本のビット線BL1~BL3が設けられる。

【0018】各メモリセル行を構成するFAMOSトランジスタのコントロールゲート4は、対応する1本のワード線に共通に接続される。各メモリセル列を構成するFAMOSトランジスタのドレイン2は、対応する1本のビット線に共通に接続される。すべてのメモリセルMCを構成するFAMOSトランジスタのソース3は、1本のソース線28に共通に接続される。

【0019】次に、図9を参照しながら、データ書込時、データ消去時、およびデータ読出時における具体的な回路動作について説明する。

【0020】まず、データ書込時の回路動作について説明する。Xデコーダ40は、メモリセルアレイ1内のワード線WL1~WL3のうちのいずれか1本に、選択的に12Vの高電位 V_{H} を付与する。

【0021】Yゲート20は、書込回路700およびセンスアンプ800に接続される入出力線27と、入出力線27とメモリセルアレイ1内のビット線BL1~BL3のそれぞれとの間にトランスファゲートとして設けられるNチャネルMOSトランジスタ26を含む。トランジスタ26の各ゲートは、互いに異なる接続線Y1~Y3を介してYデコーダ50に接続される。つまり、接続線Y1~Y3は、ビット線BL1~BL3と1対1に対応するように設けられる。

【0022】Yデコーダ50は、Yゲート20内のトランジスタ26のうちのいずれか1つのみをON状態とするために、接続線Y1~Y3のうちのいずれか1本にのみ選択的にハイレベルの電位を付与する。これによって、メモリセルアレイ1内のビット線BL1~BL3のうち、ハイレベルの電位が付与された接続線(Y1~Y3のうちのいずれか)に対応する1本のみが、入出力線27に電気的に接続される。

【0023】書込回路700は、図8の入出力バッファ90から与えられるデータに応じて活性化されて、入出力線27に高圧 V_{H} を印加する。入出力線27は、1

本のビット線(BL1~BL3のうちのいずれか)にのみ電気的に接続されるため、書込回路700から入出力線27に印加された高圧 V_{H} は、この1本のビット線にのみ印加される。

【0024】ソース線スイッチ30は、ソース線28に接地電位を与える。入出力バッファ90は、データ書込時において、入出力端子VO0~VO7に外部より与えられたデータ信号を増幅して書込回路7に与える。

【0025】このような回路動作の結果、メモリセルアレイ100内の1つのメモリセルにおいてのみ、コントロールゲート4およびドレイン2の両方に高電位が付与される。したがって、この1つのメモリセルにおいてのみ、ホットエレクトロンが発生し、フローティングゲート5に注入される。つまり、この1つのメモリセルMCにデータ“0”が書込まれる。

【0026】たとえば、Xデコーダ40がワード線WL1に高電位 V_{H} を印加し、Yデコーダ50が接続線Y1にハイレベルの電位を印加し、書込回路700が活性化されれば、図中点線で囲まれたメモリセルMCにデータ“0”が書込まれる。

【0027】なお、図8の入出力バッファ90から書込回路群70に与えられたデータが“1”であれば、書込回路700は活性化されない。したがって、このような場合には、Yデコーダ50によってハイレベルの電位を付与された1本の接続線(Y1~Y3のうちのいずれか)に対応する1本のビット線(BL1~BL3のうちのいずれか)は高電位とならない。このため、この1本のビット線と、Xデコーダ40によって高圧 V_{H} を印加された1本のワード線(WL1~WL3のうちのいずれか)にそれぞれドレイン2およびコントロールゲート4を接続された1つのメモリセルMCにおいて、フローティングゲート5に注入され得るホットエレクトロンは発生しない。したがって、このメモリセルMCの記憶データは“1”のままである。

【0028】このように、データ書込時には、Xデコーダ40およびYデコーダ50によってそれぞれ1本のワード線および1本のビット線が選択され、かつ、書込回路700が選択されたビット線に、入出力バッファ90からのデータに応じて高電位を与えることによって、1つのメモリセルMCに、外部データが書込まれる。

【0029】次に、データ消去時の回路動作について説明する。Xデコーダ40は、非活性化されて、メモリセルアレイ100内のすべてのワード線WL1~WL3が接地電位 V_{L} となる。これによって、すべてのメモリセルMCのコントロールゲート4は接地電位となる。

【0030】同様に、Yデコーダ50も非活性化されて、Yゲート20内のすべてのトランジスタ26にそれぞれ接続される接続線Y1~Y3の電位がローレベルとなる。これによって、Yゲート20内のすべてのトランジスタ26がOFF状態となるので、すべてのメモリセ

ルMCのドレイン2はフローティング状態となる。

【0031】ソース線スイッチ30は、ソース線28に高圧 V_{pp} を付与する。このような回路動作によって、すべてのメモリセルMCにおいて、フローティングゲート5とソース3との間に、ソース18を高電位側とする高電界が発生しトンネル現象が生じる。このため、すべてのメモリセルMCにおいてフローティングゲート5から電子が流出する。すなわち、メモリセルアレイ100内のすべてのメモリセルMCの記憶データが一括して消去される。

【0032】次に、データ書込時における回路動作について説明する。Xデコーダ40は、メモリセルアレイ1内のワード線WL1~WL3のうちの1本の電位のみをハイレベルにし、他のワード線の電位をすべてローレベルにする。これによって、この1本のワード線に接続されるすべてのメモリセルのコントロールゲート4に5Vが印加される。

【0033】Yデコーダ50は、Yゲート20内のトランジスタ26のうちの1つのゲートにのみハイレベルの電位を付与する。これによって、この1つのトランジスタ26に接続される1本のビット線(BL1~BL3のうちのいずれか)のみが入出力線27を介してセンスアンプ800に電気的に接続される。

【0034】ソース線スイッチ30は、ソース線28をデータ書込時と同様に接地する。このような回路動作によって、Yデコーダ50によってON状態とされた1つのトランジスタ26およびXデコーダ40によってハイレベルの電位を与えられた1本のワード線にそれぞれドレイン2およびコントロールゲート4を接続された1つのメモリセルMCの記憶データが、センスアンプ800によって読出される。

【0035】たとえば、接続線Y1およびワード線WL1にハイレベルの電位が付与される場合を想定する。このような場合には、入出力線27に電気的に接続されるビット線BL1に流れる電流の有無は、図において点線で囲まれたメモリセルMCの記憶データによって決定される。

【0036】すなわち、記憶データが“1”であるメモリセルのしきい値電圧は、ローレベルの電位 V_{ss} よりも高いので、ローレベルの電位にあるワード線WL2, WL3にコントロールゲートを接続されるメモリセルは、その記憶データに関わらずOFF状態である。これに対し、ハイレベルの電位 V_{cc} は、記憶データが“1”であるメモリセルのしきい値電圧よりも高く、かつ、記憶データが“0”であるメモリセルのしきい値電圧よりも低い。したがって、ハイレベルの電位にあるワード線WL1にコントロールゲートを接続されるメモリセルがON状態であるかOFF状態であるかは、このメモリセルの記憶データによって決定される。

【0037】したがって、図中点線で囲まれたメモリセ

ルMCの記憶データが“0”であれば、このメモリセルMCはOFF状態であるので、入出力線27から、接続線Y1にゲートを接続されるトランジスタ26、ビット線BL1、およびこのメモリセルMCを介してソース線28に流れる電流は生じない。しかし、このメモリセルMCの記憶データが“1”であれば、このメモリセルMCはON状態となるので、入出力線27から、接続線Y1にゲートを接続されるトランジスタ26、ビット線BL1、およびこのメモリセルMCを介してソース線28に電流が流れる。

【0038】入出力線27に電気的に接続されるビット線からソース線28に電流が流れると、入出力線27の電位は低下するが、入出力線27に電気的に接続されるビット線からソース線28に電流が流れなければ、入出力線27の電位は低下しない。センスアンプ8は、このような入出力線27の電位変化を検出することによって、入出力線27に電気的に接続されているビット線に流れる電流の有無を検知する。

【0039】入出力線27に電気的に接続されたビット線に電流が流れなければ、センスアンプ800はデータ“0”に対応する電圧信号を図8の入出力バッファ90に与える。入出力線27に電気的に接続されたビット線に電流が流れれば、センスアンプ800は、データ“1”に対応する電圧信号を図8の入出力バッファ90に与える。

【0040】入出力バッファ90は、データ読出時において、センスアンプ800から与えられたデータ信号を入出力端子VO0~VO7に供給する。

【0041】次に、フラッシュEEPROMの全体的な回路動作について説明する。なお、以下、明細書中では負活性な信号を、それを表わす記号の前に/を付して示す。

【0042】図8において、制御信号バッファ14は、各外部制御信号/WE、/OE、/CEをバッファリングして、他の回路部を制御するのに必要な内部制御信号を発生する。

【0043】フラッシュEEPROMにおいて、書込および消去のモード設定は、外部からの入力信号の組合せで行なわれる。つまり、書込イネーブル信号/WEの立上がり時の入力データによってモード設定が行なわれる。

【0044】書込を行なう場合、まず、通常の駆動電圧 V_{cc} および高電圧 V_{pp} が本来の値に立上げられる。次に、書込イネーブル信号/WEが立下げられる。その後、書込イネーブル信号/WEの立上がりに同期して、入出力端子VO0~VO7に外部から与えられたデータ信号が入出力バッファ90を介してコマンドレジスタ12にラッチされる。次に、このデータ信号がコマンドデコーダ13によってデコードされて、このフラッシュEEPROMの動作モードが、データ書込のためのプログ

ラムモードに設定される。

【0045】次に、書込イネーブル信号/WEが再度立下げられて、アドレスレジスタ6に外部からのアドレス信号がラッチされる。さらに、書込イネーブル信号/WEの立上がりに対応して、入出力端子VO0~VO7に外部から与えられたデータ信号が入出力バッファ90を介して書込回路7にラッチされる。

【0046】その後、プログラム電圧発生回路110から高圧V_oのバルスが発生され、Xデコーダ40およびYデコーダ50に供給される。Yデコーダ50は、この高圧バルス、Yゲート20内のトランジスタ26のうち、アドレスレジスタ60にラッチされたアドレス信号が示すメモリセル列に対応して設けられた1本のビット線に接続される1つのゲートにのみ与える。Xデコーダ40は、この高圧バルス、アドレスレジスタ60にラッチされたアドレス信号が示すメモリセル行に対応して設けられた1本のワード線にのみ与える。この結果、前述のような原理でメモリセルアレイ1内の1つのメモリセルMCにのみ書込回路群70にラッチされたデータが書込まれる。

【0047】次に、書込イネーブル信号/WEが立下げられ、入出力端子VO0~VO7に外部から与えられたデータ信号がコマンドレジスタ12にラッチされる。続いて、書込イネーブル信号/WEの立上がりに同期して、データが正しく書込まれたか否かを検査するためのプログラムベリファイモードとされる。このとき、ベリファイ電圧発生回路111は、高圧V_oから、6.5V程度の、通常データ読出時にメモリセルMCのコントロールゲートに付与される電圧5Vよりも高い電圧を、いわゆるプログラムベリファイ電圧として発生し、Xデコーダ40およびYデコーダ50に与える。

【0048】Xデコーダ40は、このプログラムベリファイ電圧を、アドレスレジスタ60にラッチされているアドレス信号が示すメモリセル行に対応して設けられた1本のワード線に供給する。同様に、Yデコーダ50は、プログラムベリファイ電圧を、アドレスレジスタ60にラッチされているアドレス信号が示すメモリセル列に対応して設けられた1本のビット線に接続された、Yゲート20内の1つのトランジスタ26のゲートに供給する。この結果、アドレスレジスタ60にラッチされているアドレス信号が示すメモリセル行およびメモリセル列に共通に接続される1つのメモリセルMCの記憶データが、前述のような原理で、センスアンプ群80によって読出される。

【0049】ただし、データが読出されるべきメモリセルのコントロールゲートには通常読出時よりも高い電位が付与されるため、このメモリセルにデータ“0”が書込まれていても、そのしきい値電圧が十分に高くなければ、このメモリセルはON状態となってセンスアンプ群80によりデータ“1”が読出される。つまり、デー

タ“0”の書込時にメモリセルのフローティングゲートに電子が十分に注入されず、このメモリセルのしきい値電圧が十分に高くシフトしない、いわゆる書込不良の発見を容易にするために、ベリファイ電圧発生回路111がこのようなプログラムベリファイ電圧を発生する。

【0050】次に、センスアンプ群80によって読出されたデータが書込回路群70にラッチされているデータと一致しなければ、上述の回路動作が再度繰返されて、先程と同じメモリセルに再度データが書込まれる。センスアンプ群80によって読出されたデータが、書込回路群70にラッチされているデータと一致すれば、データが正しく書込まれたと判断できるので、次のアドレスのメモリセルに対して、データ書込およびプログラムベリファイが行なわれる。そして、すべてのメモリセルに対するデータ書込およびプログラムベリファイが終了すると、コマンドデコーダ13は、このフラッシュEEPROMを、通常データ読出のための回路動作が実行可能な読出モードに設定する。

【0051】さて、EEPROMでは、データ消去時にメモリセルのコントロールゲート4とソース3との間に高電圧を印加することによって、フローティングゲート5とソース3との間でのエネルギーバンドの曲がり、フローティングゲート5からソース3に電子がトンネルするように強制することによりデータ消去が行なわれる。

【0052】しかしながら、メモリセルアレイ1内のすべてのメモリセルMCに一括してデータ消去のための高圧を印加しても、すべてのメモリセルMCのしきい値電圧を同じ値に低下させることは実際には困難である。

【0053】つまり、データ消去のための高圧を一括して印加されたメモリセルのうちの幾つかにおいては、フローティングゲート5から、データ“0”の書込時に注入された電子のみが完全に除去され、他の幾つかのメモリセルにおいては、フローティングゲート5から、データ“0”の書込時に注入された以上の量の電子が引き抜かれ、さらに他の幾つかのメモリセルにおいては、フローティングゲートから、データ“0”の書込時に注入された電子のごく一部しか除去されない。

【0054】フローティングゲートから、データ書込によって注入された以上の電子が引き抜かれる現象は過消去もしくは過剰消去と呼ばれる。

【0055】過消去は、メモリセルのしきい値電圧の極性を負に反転させて、その後のデータ読出およびデータ書込に支障を来す。そこで、このような過消去を防ぐために、現在次のような方法が用いられている。

【0056】すなわち、データ消去のためにソース線28に印加する高圧バルスバースの幅を短くし、このバース幅の短い高圧バースをソース線28に一回印加する毎にメモリセルアレイ1内のすべてのメモリセルMCの記憶データを読出してこれらがすべて“1”となったか否

かを確認する。そして、記憶データが“1”でないメモリセルが1つでも検出されれば、再度前述のような短いパルス幅の消去をパルスをソース線28に印加する。

【0057】データ消去のための高圧パルスがソース線28に印加されることによってメモリセルMCの記憶データが“1”となったか否か、すなわち、メモリセルの記憶データが完全に消去されたか否かを確認することを消去ベリファイという。

【0058】このような消去ベリファイと、データ消去のための高圧パルスのソース線28への印加とが、メモリセルアレイ1内のすべてのメモリセルMCのデータが完全に消去されるまで繰返される。

【0059】次に、データ消去のためのフラッシュEEPROM全体の回路動作について説明する。

【0060】まず、通常の電源電圧 V_{cc} 、および高電圧 V_p が立上げられる。続いて、プログラムモードにおける回路動作が、メモリセルアレイ100におけるすべてのアドレスに関して繰返されることによって、メモリセルアレイ100内のすべてのメモリセルMCにデータ“0”が書込まれる。

【0061】次に、書込イネーブル信号/WEが立下げられ、入出力端子VO0~VO7に外部から入力されたデータ信号が入出力バッファ90を介してコマンドレジスタ12にラッチされる。これは、メモリセルアレイ100の記憶データの消去を指示する命令である消去コマンドがこのフラッシュEEPROMに与えられたことを意味する。

【0062】続いて、コマンドデコーダ13が、コマンドレジスタ12にラッチされた消去コマンドを示すデータ信号をデコードして、このフラッシュEEPROMを、メモリセルアレイ100の記憶データを消去するための消去モードに設定する。

【0063】フラッシュEEPROMが消去モードに設定されると、ソース線スイッチ30が、ライトイネーブル信号/WEの立下がり時から立上がり時までの短い期間、高圧 V_p をメモリセルアレイ100内のソース線28に印加する。この結果、前述のような原理で、メモリセルアレイ100内のすべてのメモリセルMCにトンネル現象が生じ、フローティングゲートからソースに電子が引き抜かれる。

【0064】なお、ソース線28への高圧 V_p の印加が終了する、書込イネーブル信号/WEの立下がり時には、アドレスレジスタ60に、外部アドレス信号とは無関係に、メモリセルアレイ100における読出開始アドレスを示すアドレス信号がラッチされる。

【0065】次に、書込イネーブル信号/WEの立上がりに対応して、メモリセルアレイ1の記憶データが完全に消去されたか否かを確認するための回路動作の実行を指示する命令である消去ベリファイコマンドとして、入出力端子VO0~VO7に外部から入力されたデータ信

号が入出力バッファ90を介してコマンドレジスタ12にラッチされる。コマンドデコーダ13は、コマンドレジスタ12にラッチされたこのデータ信号をデコードして、フラッシュEEPROMを、メモリセルアレイ100の記憶データが完全に消去されたか否かを確認するための消去ベリファイモードに設定する。

【0066】フラッシュEEPROMが消去ベリファイモードに設定されると、ベリファイ電圧発生回路111が、通常のデータ読出時にメモリセルのコントロールゲートに供給される電圧5Vよりも若干低い電圧(3.2V程度)を発生し、Xデコーダ40およびYデコーダ50に与える。

【0067】Xデコーダ40は、この若干低い電圧を、アドレスレジスタ60にラッチされているアドレス信号が示すメモリセル行に対応して設けられた1本のワード線に供給する。同様に、Yデコーダ50は、この若干低い電圧を、Yゲート20内のトランジスタ26のうち、アドレスレジスタ60にラッチされているアドレス信号が示すメモリセル列に対応して設けられた1本のビット線に接続される1つのゲートにのみ供給する。したがって、通常のデータ読出時と同様の原理で、アドレスレジスタ60にラッチされているアドレス信号が示す1つのメモリセルMCの記憶データがセンスアンプ8によって読出される。

【0068】ただし、データが読出されるべきメモリセルのコントロールゲートに付与される電位は通常のデータ読出時よりも低いため、このメモリセルMCのしきい値電圧が先程のデータ消去によって十分に低い値にシフトしていない限り、このメモリセルMCがON状態となってセンスアンプ群80による読出データがデータ“1”となることはない。

【0069】メモリセルMCのフローティングゲートに注入された電子が先程のデータ消去のための回路動作によって完全に除去されていなければ、このメモリセルMCのしきい値電圧は十分に低下しない。しかし、コントロールゲートに印加される電圧がある程度高く、このしきい値電圧以上であれば、このメモリセルMCはデータ消去が不十分であるにもかかわらずON状態となる。コントロールゲートに与えられる電圧が低ければ、しきい値電圧が十分に低いメモリセルしかON状態とならない。

【0070】そこで、各メモリセルMCの記憶データが完全に消去されたか否かをより確実に確認するために、消去ベリファイモードにおけるデータ読出のためにコントロールゲートに供給される電圧は通常のデータ読出時よりも低く設定される。

【0071】センスアンプ群80によって読出されたデータが“0”であれば、現在アドレスレジスタ60にラッチされているアドレス信号が示すメモリセルMCの記憶データはまだ完全に消去されていないと判断できるの

で、データ消去のための高電圧 V_p の印加および消去ペリファイのためのデータ読出の回路動作が再度繰返される。

【0072】 センスアンプ群80によって読出されたデータが“1”であれば、現在アドレスレジスタ60にラッチされているアドレス信号が示すメモリセルの記憶データは完全に消去されたと判断できる。そこで、この場合には、アドレスレジスタ60にラッチされているアドレス信号がメモリセルアレイ100における最終アドレスを示すものでなければ、アドレスレジスタ60にラッチされているアドレス信号がインクリメントされて上述の回路動作が繰返される。

【0073】 このような回路動作の結果、アドレスレジスタ60にラッチされているアドレス信号がメモリセルアレイ100における最終アドレスを示すものになると、メモリセルアレイ100内のすべてのメモリセルMCの記憶データが完全に消去されたと判断できるので、コマンドレジスタ12がこのフラッシュEEPROMを、通常のデータ読出モードに設定する。

【0074】 さて、実際には、メモリセルアレイ100は複数のブロックに分割される場合が多い。図12には、メモリセルアレイ100が2つのブロック1-1、1-2に分割され、各ブロックが2ビットの入出力データD0、D1を扱う場合の、メモリセルアレイ100およびその周辺回路の構成が例示される。また、図12においては、各ビットの入出力データに対応して、2行×2列に配列されたメモリセルが設けられるものとする。

【0075】 図12を参照して、メモリセルアレイ100が複数のブロックに分割される場合、ソース線スイッチ300、310は、各ブロック1-1、1-2に対応して個別に設けられ、かつ、これらのソース線スイッチ300、310を制御するためのソース線デコーダ32が新たに設けられる。なお、メモリセルアレイがブロック分割されたこのようなフラッシュEEPROMの他の部分の構成は、図8に示されるフラッシュEEPROMと同様である。

【0076】 各ブロック1-1、1-2は、2本のワード線WL1、WL2 (WL3、WL4) と、4本のビット線BL1~BL4と、これら4本のワード線とこれら2本のビット線との交点にそれぞれ対応して設けられた8個のメモリセルMC1、MC2、MC5、MC6、MC9、MC10、MC13、MC14 (MC3、MC4、MC7、MC8、MC11、MC12、MC15、MC16) とを含む。

【0077】 各ブロック1-1、1-2内のすべてのメモリセルのソースは、共通のソース線280、281を介して、このブロックに対応して設けられたソース線スイッチ300、310に接続される。

【0078】 このようにブロックごとに個別にソース線スイッチおよびソース線が設けられることによって、メ

モリセルアレイ100の記憶データをブロック単位で一括消去することが可能となる。

【0079】 各ソース線スイッチ300、310は、データ書込時およびデータ読出時において、対応するソース線280、281を接地電位またはフローティング状態にし、データ消去時には、ソース線デコーダ32によって高電位の出力を指示された場合のみ、対応するソース線280、281に12V程度の高電位 V_p を付与する。

【0080】 ビット線BL1~BL4はすべてのブロック1-1、1-2に共通に設けられるが、ワード線WL1~WL4は各ブロック1-1、1-2に個別に設けられる。一方、Yゲート2において、ビット線BL1およびBL3はそれぞれ異なるNチャネルMOSトランジスタ260を介して、入出力線270に接続され、ビット線BL2およびBL4はそれぞれ異なるNチャネルMOSトランジスタ261を介して入出力線271に接続される。同一の入出力線に接続されたトランジスタ同士はYデコーダ5によって一括して制御される。

【0081】 したがって、データ書込時には、Xデコーダ40がいずれか1本のワード線にのみ高電位を付与し、Yデコーダ50がYゲート20内の信号線Y1、Y2のうちのいずれか1本にのみハイレベルの電位を付与することによって、いずれか1つのブロックにのみデータを書込むことが可能となる。

【0082】 たとえば、Xデコーダ40によってワード線WL1に高電位 V_p が付与されると、ブロック1-1においてこのワード線WL1に接続された4つのメモリセルMC1、MC5、MC9、MC13のコントロールゲートが高電位 V_{pp} となる。一方、Yデコーダ50によって信号線Y1にハイレベルの電位が付与されると、2つのトランジスタ260がON状態となるので、2本のビット線BL1およびBL3がそれぞれ入出力線270および271に電気的に接続される。

【0083】 各入出力線270、271には、書込回路700およびセンスアンプ800が接続される。各入出力線は、1ビットの入出力データに対応して設けられる。データ書込時には、各書込回路700が、これに接続される入出力線270、271に、この入出力線に対応するビットの書込データが論理値“0”である場合にのみ6.5V程度の高電位を付与する。

【0084】 各書込回路700の動作によって各入出力線270、271には、対応するビットの書込データに応じた電位が付与されているので、ビット線BL1およびBL3はそれぞれ、最下位ビットD0のデータおよび第1位ビットD1のデータに応じた電位となる。したがって、最下位ビットD0のデータおよび第1位ビットD1のデータがそれぞれ、メモリセルMC1およびMC9に書込まれる。

【0085】 同様に、データ読出時には、Xデコーダ4

0によっていずれか1本のワード線にのみハイレベルの電位が付与され、Yデコーダ50によってYゲート2内の信号線Y1、Y2のうちのいずれか一方にのみハイレベルの電位が付与されることによって、いずれか1つのブロックのみから2ビットのデータが読出される。

【0086】たとえば、Xデコーダ40によってワード線WL1にハイレベルの電位が付与されれば、ブロック1-1内の4つのメモリセルMC1、MC5、MC9、MC13のみがそれぞれ、その記憶データに応じてON状態またはOFF状態となる。したがって、Yデコーダ50によって信号線Y1にハイレベルの電位が付与されれば、2つのトランジスタ260がON状態となるので、ビット線BL1およびBL3がそれぞれ、入出力線270および271を介して異なるセンスアンプ800に電気的に接続される。データ読出時には、各センスアンプ800が、これに接続された入出力線270、271に流れる電流の有無に応じたデータ信号を、この入出力線に対応するビットの読出データとして入出力バッファ90に与える。

【0087】このため、入出力線270に接続されたセンスアンプ800は、ビット線BL1からメモリセルMC1を介してソース線280に流れる電流の有無を検知し、入出力線271に接続されたセンスアンプ800は、ビット線BL3からメモリセルMC9を介してソース線280に流れる電流の有無を検知する。この結果、入出力線270に接続されたセンスアンプ800および、入出力線271に接続されたセンスアンプ800からはそれぞれ、メモリセルMC1の記憶データに応じた信号が最下位ビットD0の読出データとして、および、メモリセルMC9の記憶データに応じた信号が第1位ビットD1の読出データとして出力される。

【0088】データ消去時には、ソース線デコーダ32は、図8のアドレスレジスタ60からのアドレス信号をデコードしていずれか1つのソース線スイッチにのみ、高電位V_oの出力を指示する。一方、Xデコーダ4によって接地電位が付与され、かつ、すべてのビット線BL1~BL4は、Yデコーダ50によってYゲート20内のすべてのトランジスタ260、261がOFF状態とされることによって、すべてのワード線WL1~WL4は、フローティング状態となる。したがって、ソース線デコーダ32によって高電位の出力を指示された1つのソース線スイッチに対応して設けられた1つのブロックにのみ消去パルスが印加されて、この1つのブロックの記憶データのみが消去される。

【0089】たとえば、ソース線デコーダ32がソース線スイッチ300に高電位の出力を指示すると、ソース線スイッチ300からソース線280には高電位V_oが印加されるが、ソース線スイッチ310からはソース線281に高電位V_pが付与されない。このため、ソース線280にソースを接続されたすべてのメモリセル

ル、すなわち、ブロック1-1内のすべてのメモリセルMC1、MC2、MC5、MC6、MC9、MC10、MC13、MC14において、コントロールゲートおよびソース間にソースを高電位側とする高電位が誘起されて、フローティングゲートから電子が引き抜かれる。一方、高電位V_oを付与されないソース線281に接続されたソースを有するすべてのメモリセル、すなわち、ブロック1-2内のすべてのメモリセルMC3、MC4、MC7、MC8、MC11、MC12、MC15、MC16においては、フローティングゲートおよびソース間にこのような高電界は誘起されないで、フローティングゲートから電子は引き抜かれない。

【0090】ソース線デコーダ32には、Xデコーダ40に与えられるアドレス信号が共通に与えられればよい。すなわち、ソース線デコーダ32には、図8のアドレスレジスタ60の出力信号のうち、いずれか1つのブロック内のメモリセルのアドレスを示すビットの外部アドレス信号に対応するもの（以下ブロックアドレス信号と呼ぶ）が与えられる。

【0091】このようにメモリセルアレイ100が行方向に複数のブロックに分割されている場合には、ソース線デコーダ32はXデコーダ40と同じく、ロウアドレス信号を受けるように構成されればよい。この結果、データ消去時には、ブロックアドレス信号が示すアドレスに配置されたメモリセルが属する1つのブロックの記憶データのみが一括して消去される。

【0092】しかしながら、各ブロック1-1、1-2は、入出力データのそれぞれのビットD0、D1のデータを担うメモリセルを含む。

【0093】具体的には、ブロック1-1は、最下位ビットD0の書込データを書込まれることができる4つのメモリセルMC1、MC2、MC5、MC6と、第1位ビットD1の書込データを書込まれることができる4つのメモリセルMC9、MC10、MC13、MC14とを含む。同様に、ブロック1-2も、最下位ビットD0のデータを書込まれ得る4つのメモリセルMC3、MC4、MC7、MC8と、第1位ビットD1のデータを書込まれ得る4つのメモリセルMC11、MC12、MC15、MC16とを含む。

【0094】データ書込時に信号線Y1にハイレベルの電位が付与されれば、最下位ビットD0および第1位ビットD1のデータはそれぞれ、ビット線BL1に接続されたメモリセルMC1~MC4のうち高電位のワード線に接続されたもの1つおよび、ビット線BL3に接続されたメモリセルMC9~MC12のうち高電位のワード線に接続されたもの1つに書込まれる。信号線Y2にハイレベルの電位が付与された場合には、最下位ビットD0のデータおよび、第1位ビットD1のデータがそれぞれ、ビット線BL2に接続されたメモリセルMC5~MC8のうち高電位のワード線に接続されたもの1つおよ

び、ビット線BL4に接続されたメモリセルMC13～MC16のうち高電位のワード線に接続されたもの1つに書込まれる。

【0095】それゆえ、1回のデータ消去によって、いずれか1つのブロックにおいて、すべてのビットのデータが一括して消去される。図12に示された例では、いずれか1つのブロックにおいて2ビットのデータが一括して消去されるが、一般に、入出力データは8ビットや16ビットである場合が多い。このような場合には、入出力線数が8本や16本であり、かつ、各ブロックはこれらの入出力線にそれぞれ電気的に接続され得るメモリセルを含む。したがって、データ消去時にはいずれか1つのブロックにおいて8ビットや16ビットのデータが一括して消去される。

【0096】なお、データ書込時およびデータ消去時に、ワード線、ビット線、およびソース線に印加される高電圧 V_p ($=12V$) および、通常の電源電圧 ($V_{cc}=5V$) はそれぞれ、異なる電源端子に外部から供給される。実際には、スイッチ回路190が、これらの電源端子に供給された電圧のうちのいずれか一方を選択的にソース線スイッチ300、310、Xデコーダ40、およびYデコーダ50に供給する。

【0097】このように、1回のデータ消去によって、メモリセルアレイ100内の各ブロックにおいてすべてのメモリセルの記憶データが消去される。すなわち、データ消去はデータ書込みおよびデータ読出しのようにバイト単位で行なわれず、全ビット同時または、メモリセルアレイ100を構成するブロック単位で行なわれる。

【0098】このように、フラッシュEEPROMは、構造的には1つのメモリセルが1つのトランジスタによって構成されるので、ビットコストが安く高集積化に有利である一方、動作的には、データ消去がメモリアレイを構成するブロック単位で行なわれるので、メモリセルアレイの記憶データを選択的に消去することはできない。

【0099】

【発明が解決しようとする課題】以上のように、従来の不揮発性半導体記憶装置は、構造的にビットコストが安く高集積化が可能なフラッシュEEPROM等と、構造的にビットコストが高く高集積化が困難なEEPROM等とに大別される。

【0100】近年の半導体記憶装置の記憶容量の大容量化、すなわち、1つの半導体記憶装置に含まれるメモリセルの数の増大に伴い、ビットコストが安く高集積化に有利なメモリセル構造が要求されつつある。このような要求に応えるには、前者の不揮発性半導体記憶装置が有利である。しかしながら、従来のフラッシュEEPROMにおいて、データ消去は全ビット同時にまたはメモリアレイを構成するブロック単位で一括して行なわれる。このため、メモリアレイ内の一部のメモリセル

の記憶データを選択的に消去したり、新たなデータに書換えることは不可能である。このような点で、フラッシュEEPROMは、機能性が低いという欠点を有する一方、後者の不揮発性半導体記憶装置 (EEPROM) は、ビットコストが高く高集積化が困難であるという欠点を有するものの、データ消去がバイト単位で行なわれるので、機能性が高いという利点も有する。このように、従来の不揮発性半導体記憶装置には、記憶容量の大容量化に適した構造を有し、かつ、任意のメモリセルの記憶データを選択的に消去できる高い機能性を有するものがなかった。

【0101】1つのメモリセルアレイブロックの記憶データのみを書換える場合、このメモリセルアレイブロックの記憶データのみを消去した後、このメモリセルアレイブロック内のすべてのメモリセルに順に新たなデータを書込む必要がある。このため、記憶データをブロック単位で一括して消去することができるフラッシュEEPROMによれば、すべてのメモリセルブロックにデータが書込まれた後、任意の1つのブロックの記憶データのみを書換えたり消去したりすることができる。

【0102】しかしながら、1つのメモリセルブロック内のすべてのビットのデータを変更する必要が生じることは実際には少なく、いくつかのビットのデータは変更する必要がないことが多い。しかし、データ書換時には1つのメモリセルブロック内のすべてのメモリセルの記憶データが消去されるので、データを変更される必要のないビットのメモリセルに対しても外部から再び書込データを入力しなければならない。このため、従来のフラッシュEEPROMによれば、データ書換の際このような同じデータの再入力という面倒な作業が必要となり、データを変更される必要のないビットのメモリセルに対して再度データを書込むのに要する無駄な時間によって、データ書換えに要する時間が長くなる。

【0103】また、ごく一部のビットのメモリセルのデータのみを書換える場合には、多くのビットのメモリセルに対して同じデータをたとえば外部から再び入力する必要がある。このようなビット長の長いデータの再入力の際には、入力ミス等の人為的な原因によって書込データに誤りが生じやすいため、データ書換後のメモリセルブロックの記憶データが誤ったものとなりやすい。

【0104】このように、従来のフラッシュEEPROMによれば、複数ビットのデータが一括して消去されるため、効率よく、かつ、精度よくデータを書換えることが困難であった。

【0105】それゆえに、本発明の目的は、上記の問題点を解決し、ビットコストが安く高集積化に有利であり、かつ、所望のビットのデータのみを選択的に消去でき、さらに、効率よく精度の高いデータ書換えを行なうことができる不揮発性半導体記憶装置を提供することである。

【0106】

【課題を解決するための手段】上記のような目的を達成するために、本発明にかかる不揮発性半導体記憶装置は、複数ビットのデータに対応して設けられた複数のメモリセル群と、これら複数のメモリセル群に対応して設けられた複数の消去手段と、これら複数のメモリセル群の各々のデータの消去の許可または禁止を指示する指示手段と、指示手段の出力にตอบสนองして複数の消去手段の各々を能動化または不能化する制御手段とを備える。

【0107】複数のメモリセル群の各々は、電気的に書込および消去可能な複数の不揮発性メモリセルを含む。複数の消去手段の各々は、制御手段によって能動化されたときに、対応するメモリセル群内のすべてのメモリセルに、その記憶データを消去することができる電界を一括して生じさせる。

【0108】好ましい実施例によれば、各不揮発性メモリセルは、第1の導通端子と、第2の導通端子と、制御端子と、これら3つの端子の印加電位に応じて電子の注入および放出が生じるフローティングゲート領域とを含み、各メモリセル群において、すべての不揮発性メモリセルの第1導通端子は共通に接続され、各消去手段は、制御手段によって能動化されたときに、対応するメモリセル群において共通に接続された第1導通端子に所定の高電位を印加する手段を含む。

【0109】

【作用】本発明にかかる不揮発性半導体記憶装置は、上記のように構成されるので、記憶データの消去の許可を指示されたメモリセル群に対応して設けられた消去手段が能動化され、記憶データの消去の禁止を指示されたメモリセル群に対応して設けられた消去手段が消去モードにおいて不能化されれば、消去モードにおいて、複数ビットのデータのうち、記憶データの消去の許可を指示されたメモリセル群に対応するビットのデータのみが消去され、他のビットのデータは消去されない。

【0110】

【実施例】図1は、本発明の一実施例のフラッシュEEPROMの全体構成を示す概略ブロック図である。

【0111】図1を参照して、このフラッシュEEPROMにおいて、メモリセルアレイ100はn個のブロック1-0~1-nに分割される。各ブロック1-0~1-nは、このフラッシュEEPROMの入出力データD0~Dmのそれぞれのビットのデータを担うメモリセルを含む。従来と異なり、各ブロック1-0~1-nには、入出力データD0~Dmのビット数8と同数のソース線（図示せず）が設けられ、かつ、これらのソース線の電位を制御するための複数のソース線スイッチを含むソース線スイッチ群30が設けられる。

【0112】さらに、ブロック単位でのデータ消去が可能な従来のフラッシュEEPROMと異なり、ソース線スイッチ群30はソース線デコーダ32によって直接制

御されるのではなく、ソース線デコーダ32の出力とレジスタ書込回路34の出力とにตอบสนองして動作するデータビット選択回路33によって制御される。

【0113】データビット選択回路33は、データ消去モードにおいて、メモリセルアレイ100を構成する各ブロック1-0~1-nにおいて所望のビットの入出力データを担うメモリセルの記憶データのみが消去されるようにソース線スイッチ群30を制御するために設けられる。レジスタ書込回路34は、各ブロック1-0~1-nにおいてどのビットの入出力データを担うメモリセルの記憶データが消去されるべきかを指示する信号を、入出力バッファ90を介して外部から与えられるデータ信号にตอบสนองして出力する。

【0114】本実施例では、フラッシュEEPROMは、ソース線スイッチのデータ消去のための機能が能動化される消去モードに設定される前に、メモリセルアレイ100内の各ブロックにおいて、どのビットの入出力データを担うメモリセルの記憶データが消去されるべきかを指示するデータをデータビット選択回路33に記憶させるためのデータビット設定モードとされる。

【0115】一方、ソース線デコーダ32は、従来と同様に、アドレスレジスタ60からのアドレス信号にตอบสนองして、メモリセルアレイ100内のいずれのブロックの記憶データが消去されるべきかを消去されるべきかを示す信号を出力する。

【0116】したがって、データビット選択回路33は、メモリセルアレイ100内のどのブロックにおいてどのビットの入出力データを担うメモリセルの記憶データが消去されるべきかを指示する信号を出力することができる。この結果、データ消去時には、ソース線デコーダ32によって指示されたブロックにおけるすべてのビットのデータではなく、ソース線デコーダ32によって指示されたブロックに記憶されたデータのうち、レジスタ書込回路34によって指示されたビットのデータのみが消去される。

【0117】次に、図2を参照しながらこのフラッシュEEPROMにおけるデータ消去時の回路動作について詳細に説明する。

【0118】なお、Xデコーダ40およびYデコーダ50は、消去モードにおいて従来と同様に動作する。すなわち、Xデコーダ40は、すべてのワード線WL1~WL4にローレベルの電位を与え、Yデコーダ50は、Yゲート20内のすべてのトランジスタ260、261をOFF状態にする。

【0119】図2は、メモリセルアレイ100およびデータ消去のための周辺回路の構成をより具体的に示す回路図である。図2には、入出力データが2ビットであり、メモリセルアレイ100が2つのブロック1-0、1-1に分割され、かつ、各ブロックが、各ビットに対応して2行×2列のマトリクス状に配列されたメモリセ

ルを含む場合が例示される。

【0120】ブロック1-0は、2本のソース線280a, 280bを含み、もう1つのブロック1-1は、これらのソース線とは独立な2本のソース線281a, 281bを含む。各ソース線280a, 280b, 281a, 281bは、異なるソース線スイッチ300a, 300b, 310a, 310bにそれぞれ接続される。これらのソース線スイッチ300a, 300b, 310a, 310bは図1におけるソース線スイッチ群30に含まれる。

【0121】最下位ビットD0の入出力データに対応して設けられた入出力線270に電氣的に接続され得るビット線BL1, BL2と、第1位ビットD1の入出力データに対応して設けられた入出力線271に電氣的に接続され得るビット線BL3, BL4とは、両方のブロック1-0, 1-1に共通に設けられる。ブロック1-0に設けられる2本のワード線WL1, WL2と、ブロック1-1に設けられた2本のワード線WL3, WL4とは互いに独立である。

【0122】ブロック1-0において、最下位ビットD0の入出力データを担うメモリセルMC1, MC2, MC5, MC6のソースはソース線280aに共通に接続され、第1位ビットD1の入出力データを担うメモリセルMC9, MC10, MC12, MC13のソースはもう1本のソース線280bに共通に接続される。

【0123】同様に、ブロック1-1においても、最下位ビットD0の入出力データを担うメモリセルMC3, MC4, MC7, MC8のソースは1本のソース線281aに共通に接続され、第1位ビットD1の入出力データを担うメモリセルMC11, MC12, MC14, MC15のソースはもう1本のソース線281bに共通に接続される。

【0124】各ソース線スイッチ310a, 300b, 310a, 310bは、データ消去時において、データビット選択回路33の出力信号に応じて、対応するソース線280a, 280b, 281a, 281bに選択的に12V程度の高電位V_hを付与する。

【0125】データビット選択回路33は、ソース線デコーダ32およびレジスタ書込回路34の出力にตอบสนองして、各ソース線スイッチ30a, 30b, 31a, 31bに、高電位V_hの出力の許可または禁止を指示する。

【0126】次に、図3を参照しながら、データビット選択回路33の構成について説明する。図3は、データビット選択回路33およびソース線スイッチ300a, 300b, 310a, 310bの構成例を示す回路図である。

【0127】データビット選択回路33は、レジスタ書込回路34の出力信号を一時記憶するためのレジスタ30と、4つのソース線スイッチ300a, 300b, 50

310a, 310bに対応して設けられた4つの2入力ANDゲート331~334とを含む。

【0128】ソース線スイッチ300aおよび300bにそれぞれ対応して設けられたANDゲート331および332と、ソース線スイッチ31aおよび31bにそれぞれ対応して設けられたANDゲート333および334とは、互いに異なる信号線L1, L2を介してソース線デコーダ32に接続される。

【0129】レジスタ回路部330は、ANDゲート331および333に共通に対応して設けられたレジスタ330aと、ANDゲート333および334に共通に対応して設けられたレジスタ330bとを含む。レジスタ書込回路34は、入力バッファ35からのデータ信号をこれら2つのレジスタ330a, 330bに書込む。

【0130】入出力バッファ90とレジスタ書込回路34との間には、実際には、このような入力バッファ35が設けられる。入力バッファ35は、メモリセルアレイ100の記憶データのうちのどのビットのデータを消去するかを設定するための消去ビット設定モードにおいて動作して、入出力バッファ90からのデータ信号をバッファリングしてレジスタ書込回路34に与える。

【0131】消去ビット設定モードにおいて最下位ビットD0の入出力データを受ける外部端子に供給された外部データおよび、第1位ビットD1の入出力データを受ける外部端子に供給された外部データに対応する入力バッファ35の出力データ信号は、それぞれ、レジスタ書込回路34において、レジスタ330aおよび330bに書込まれる。

【0132】各レジスタ330a, 330bは、レジスタ書込回路34によって書込まれたデータに対応する論理レベルの電位を、対応するANDゲート331~334に与える。したがって、論理値“1”および“0”をそれぞれハイレベルの電位およびローレベルの電位に対応させれば、データビット選択回路33において、各NANDゲート331~334の出力信号は、対応するレジスタ(330aまたは330b)に書込まれたデータが論理値“1”である場合にのみ、ソース線デコーダ32からのハイレベルの電位にตอบสนองしてローレベルとなり、対応するレジスタに書込まれたデータが論理値“0”である場合には、ソース線デコーダ32からの信号にかかわらず、ハイレベルとなる。各ANDゲート331~334の出力信号は、対応するソース線スイッチ300a, 300b, 310a, 310bに与えられる。

【0133】各ソース線スイッチ300a, 300b, 310a, 310bは、データビット選択回路33内の対応するANDゲートの出力信号と、図1のコマンドレジスタ13からの消去タイミング信号とを受ける2入力ANDゲート301を含む。このNANDゲート300は、データビット選択回路33内のANDゲート331

～334と異なり、ハイレベルの電位として通常の電源電位Vccではなく高電位V_hを出力するANDゲートであり、高電系ANDゲートと呼ばれる。各高電系ANDゲート301の出力信号は、対応するソース線280a, 280b, 281a, 281bに与えられる。

【0134】一方、消去タイミング信号は、消去モードにおいてコマンドデコーダ13が、各ソース線スイッチのデータ消去のための機能、すなわち、データビット選択回路からの指示に回答して対応するソース線に高電位V_hを付与する機能を能動化するために発生する信号であり、従来のフラッシュEEPROMにおいてもこれと等価な信号がソース線スイッチに入力された。本実施例では、コマンドデコーダ13は、この消去タイミング信号としてハイレベルのパルスを消去モードにおいて発生するものとする。

【0135】したがって、消去モードにおいて、各高電系ANDゲート301は、データビット選択回路33内の対応するANDゲート(331～334のうちのいずれか)の出力信号がハイレベルである場合にのみ、消去タイミング信号に回答して対応するソース線(280a, 280b, 281a, 281bのうちのいずれか)に高電位V_hを付与し、データビット選択回路33内の対応するANDゲートの出力信号がローレベルである場合には、消去タイミング信号にかかわらず、対応するソース線の電位をローレベルにする。

【0136】消去モードにおいて、ソース線デコーダ32は、アドレスレジスタ60からのアドレス信号をデコードしてデータビット選択回路33内のANDゲート331～334に接続された信号線L1, L2のうちのいずれか一方にのみローレベルの電位を与え、他をすべてハイレベルにする。

【0137】具体的には、このブロックアドレス信号が指示するいずれか1つのブロック1-1または1-2に対応して設けられた2つのソース線スイッチ300a, 300bまたは310a, 310bに対応する2つのANDゲート331, 332または333, 334に接続された信号線L1またはL2にのみハイレベルの電位がソース線デコーダ32によって付与される。

【0138】したがって、消去ビット設定モードにおいてデータ“1”を書込まれたレジスタに対応して設けられたANDゲート331～334のうち、ブロックアドレス信号が示すブロックに対応して設けられたものだけがハイレベルの信号を出力し、他はすべてローレベルの信号を出力する。

【0139】それゆえ、メモリセルアレイ100を構成するブロック1-0, 1-2のうち、ブロックアドレス信号が示すいずれか1つにおいて、レジスタ330aおよび330bに書込まれたデータに応じて、いずれかのビットの入出力データを担うメモリセルのソースにのみ高電位V_hが供給される。

【0140】たとえばレジスタ330aおよび330bに書込まれたデータがそれぞれ論理値“1”および“0”である場合を想定する。このような場合、消去モードにおいて信号線L1にソース線デコーダ32からハイレベルの電位が付与されると、データビット選択回路33において、ANDゲート331のみがソース線デコーダ32およびレジスタ回路部330からともにハイレベルの電位を受けてハイレベルの信号を出力する。したがって、1つのソース線スイッチ300aだけが消去タイミング信号に回答して高電位V_hを出力する。したがって、図2において、1本のソース線280aにのみ高電位V_hが付与され、他のソース線280b, 281a, 281bにはこのような高電位V_hは付与されない。この結果、ブロック1-0内のメモリセルMC1, MC2, MC5, MC6, MC9, MC10, MC12, MC13のうち、最下位ビットD0の入出力データを担うメモリセルMC1, MC2, MC5, MC6の記憶データのみが一括して消去される。

【0141】ソース線デコーダ32によって信号線L2にハイレベルの電位が付与されると、データビット選択回路33においてANDゲート333の出力信号のみがハイレベルとなるので、ソース線スイッチ310aの高電系ANDゲート301からのみ高電位V_hが出力され、他のソース線スイッチ300a, 300b, 310b内の高電系ANDゲート300からはローレベルの信号が出力される。この結果、図2において、ブロック1-1内のメモリセルMC3, MC4, MC7, MC8, MC11, MC12, MC14, MC15のうち、最下位ビットD0に対応して設けられた4つのメモリセルMC3, MC4, MC7, MC8の記憶データのみがソース線281aに印加された高電位V_hに回答して記憶データを消去される。

【0142】このように、レジスタ330aに書込まれたデータが“1”であれば、消去モードにおいて、ブロックアドレス信号が示すいずれか1つのメモリセルアレイブロックにおいて、最下位ビットD0に対応して設けられたメモリセルの記憶データのみが消去され、他のすべてのメモリセルの記憶データは保持される。

【0143】逆に、レジスタ330aおよび330bに書込まれたデータがそれぞれ“0”および“1”である場合を想定する。このような場合には、消去モードにおいて、ソース線デコーダ32から信号線L1にハイレベルの電位が付与されると、ANDゲート332のみがハイレベルの信号を出力し、他のANDゲート331, 333, 334はすべてハイレベルの信号を出力する。したがって、ソース線スイッチ300b内の高電系ANDゲート301の出力だけが高電位V_hとなり、他の高電系ANDゲート301の出力電位はローレベルとなる。それゆえ、ブロック1-0において、1本のソース線280bにのみ高電位V_hが供給されるので、第1

位ビットD1に対応して設けられたメモリセルMC9, MC10, MC12, MC13の記憶データのみが一括して消去される。

【0144】ソース線デコーダ32によって信号線L2にハイレベルの電位が付与されると、NANDゲート334だけがハイレベルの信号を出力し、他のANDゲート331~333はすべてローレベルの信号を出力する。このため、ソース線スイッチ310b内の高電位系ANDゲート301だけが対応するソース線281bに高電位V_hを供給し、他の高電位系ANDゲート301は対応するソース線280a, 280b, 281aにローレベルの電位を与える。それゆえ、ブロック1-1において、1本のソース線281bに接続されたメモリセル、すなわち、第1位ビットD1に対応して設けられたメモリセルM11, MC12, MC14, MC15の記憶データのみが一括して消去される。

【0145】このように、消去ビット設定モードにおいてレジスタ330bにデータ“1”が書込まれると、消去モードにおいてブロックアドレス信号が示すいずれか1つのブロックにおいて、第1位ビットD1のデータが選択的に消去される。

【0146】したがって、消去ビット設定モードにおいて、消去したいビットに対応するレジスタ330aおよび330bに書込まれるデータが“1”に設定されるように、最下位ビットD0の入出力データを受ける外部端子と、第1位ビットD1の入出力データを受ける外部端子とにデータを入力し、消去モードにおいて、データを消去したいブロックを指示するアドレス信号がソース線デコーダ32に入力されるように外部アドレス信号を設定すれば、所望のブロック内の所望のビットのデータのみを選択的に消去することができる。

【0147】なお、データ読出時およびデータ書込時には、各ソース線スイッチ300a, 300b, 310a, 310bは従来と同様に、対応するソース線280a, 280b, 281a, 281bを接地電位またはフローティング状態にする。したがって、本実施例のフラッシュEEPROMにおいて、データ書込およびデータ読出は従来とまったく同様に行なわれる。

【0148】上記のように、本実施例のフラッシュEEPROMによれば、ソース線がビット単位で分割され、かつ、分割されたソース線のうちのいずれに消去パルスを印加するかを指示するためのデータが、これら分割されたソース線にそれぞれ接続されたソース線スイッチを制御するためのデータビット選択回路33に予め記憶せられる。このため、データ消去モードにおいて、外部アドレス信号を、所望のブロックを指示するブロックアドレス信号がソース線デコーダ32に供給されるように設定するだけで、所望のブロックにおいて所望のビットのデータのみが消去される。

【0149】上記説明においては、各ブロックが2ビット

トの入出力データを担うメモリセルによって構成されたが、各ブロックがさらに多くのビットの入出力データを担うメモリセルによって構成される場合でも、上記実施例の場合と同様の回路構成によって上記実施例の場合と同様の効果が得られる。

【0150】また、説明の簡略化のため、メモリセルアレイが2つのブロックに分割された場合を例にとりて本実施例のフラッシュEEPROMの回路動作が説明されてきたが、メモリセルアレイがいくつものブロックに分割されても、上記実施例から類推できる回路構成によって同様の効果が得られる。さらに、メモリセルアレイがブロック単位で消去不可能な構成である場合でも、すなわち、ソース線デコーダ32が不要である場合でも、同様の効果が得られる。

【0151】すなわち、メモリセルアレイがブロックに分割されておらず、ソース線スイッチおよびソース線がブロックごとに個別に設けられていない場合、メモリセルアレイ内の同一のビット線に接続されたすべてのメモリセルのソースが共通のソース線を介して1つのソース線スイッチに接続され、ソース線デコーダ32が不要となる。したがって、データビット選択回路33内のレジスタ回路部330に書込まれたデータに応じて、消去モードにおいてメモリセルアレイの記憶データがビット単位で消去される。

【0152】たとえば、図2において、ソース線280aおよび281aが共通であり、かつ、ソース線280bおよび281bが共通である場合、図3において、レジスタ330aおよび330bに書込まれたデータがそれぞれ論理値“1”および“0”ならば、消去モードにおいて2つのブロック1-0, 1-1内の最下位ビットD0に対応するすべてのメモリセルMC1~MC8のソースに高電位V_hが印加されるので、最下位ビットD0のデータのみが消去される。逆に、レジスタ330aおよび330bに書込まれたデータがそれぞれ“0”および“1”であれば、消去モードにおいて、2つのブロック1-0, 1-1内の第1位ビットD1に対応して設けられたすべてのメモリセルMC9~MC15のソースにのみ高電位V_hが印加されるので、第1位ビットD1のデータのみが消去される。

【0153】図4ないし図7は、上記実施例のフラッシュEEPROMによって可能となるデータ消去の概念をアドレス空間を用いて示す図である。これらの図において、縦方向はフラッシュEEPROMのアドレスを示し、横方向は、各アドレスに記憶されるべきデータのビット幅を示す。これらの図には、メモリセルアレイが、アドレス空間におけるアドレス0000からアドレスFFFFまでの各アドレスに対応して配置された複数のメモリセルを含み、かつ各アドレスに配置された複数のメモリセルは、8ビットまたは16ビットのデータに対応して設けられる場合が例示される。

【0154】メモリセルアレイ100がブロック単位では消去不可能な構成である場合、データビット選択回路33において、前半のビットの入出力データを担うメモリセルの記憶データの消去を禁止または許可するためのレジスタと、後半のビットの入出力データを担うメモリセルの記憶データの消去を禁止または許可するためのレジスタとにそれぞれ、消去ビット設定モードにおいて論理値“1”および“0”が書込まれれば、1回のデータ消去において、図4(a)や図5(a)で示されるように、すべてのアドレスから前半のビットのデータのみが消去される。

【0155】メモリセルアレイ100がアドレス空間における、アドレス0000からアドレス3FFFFまで、アドレス4000からアドレス7FFFFまで、アドレス8000からアドレスBFFFFまで、および、アドレスC000からアドレスFFFFFまでにそれぞれ対応する4つのブロックに分割され、ブロック単位でのデータ消去が可能な構成である場合には、データビット選択回路33内の、前半のビットの入出力データを担うメモリセルのデータ消去を制御するために設けられたレジスタと、後半のビットの入出力データを担うメモリセルのデータ消去を禁止または許可するためのレジスタとにそれぞれ消去ビット設定モードにおいて論理値“1”および“0”が書込まれた後、消去モードにおいてこれら4つのブロックを指示するブロックアドレス信号が順次ソース線デコーダ32に供給されるように外部アドレス信号が切換えられれば、図4(b)や図5(b)に示されるように、すべてのブロックにおいて、すべてのアドレスから前半のビットのデータが消去されている。

【0156】このように、各アドレスから一括して消去したいデータが前半のビットまたは後半のビットというように、複数のビットであるならば、一括して消去されるべき複数のビットの入出力データをそれぞれ担うメモリセルのデータ消去を許可または禁止するために、必ずしも複数のレジスタがデータビット選択回路33内に設けられる必要はなく、これらのメモリセルに対応して共通のレジスタが1つ設けられればよい。

【0157】たとえば、各アドレスから前半または後半のビットのデータを一括して消去したければ、データビット選択回路33内のレジスタ回路部330が、前半のビットの入出力データを担うメモリセルのデータ消去の許可または禁止を指示するためのレジスタと、後半のビットの入出力データを担うメモリセルのデータ消去を許可または禁止するためのレジスタという2つのレジスタによって構成されてもよい。

【0158】データビット選択回路33がこのように構成されると、データビット選択回路33の構成素子数が低減されるので、チップサイズの増大を抑制することができる。

【0159】もちろん、データ消去の許可および禁止

を、後半のビットと前半のビットというような大きい単位で設定せず、図3に示された実施例のように、ビット単位で設定する方が、任意のビットのデータのみを消去することができるので、チップサイズの増大が抑制されないもののフラッシュEEPROMとしての機能性は向上される。

【0160】たとえば、メモリセルアレイ100が先の例のように4つのブロックに分割され、かつ、ブロック単位でのデータ消去が可能な構成であれば、データビット選択回路33における、第5位ビットの入出力データを担うメモリセルのデータ消去のためのレジスタおよび第10および第11ビットの入出力データを担うメモリセルのデータ消去のためのレジスタと、他のレジスタとにそれぞれ、消去ビット設定モードにおいて論理値“1”および“0”が書込まれた後、消去モードにおいてこれら4つのブロックを指示するブロックアドレス信号が順次ソース線デコーダ32に供給されるように外部アドレス信号を切換えれば、消去モードの終わりには、図6に示されるように、すべてのブロックにおいてすべてのアドレスから第5位、第10位、および第11位ビットのデータのみが消去されている。

【0161】上記実施例では、各ビットに対応してそのビットのデータの消去を許可するか禁止するかを示すデータを格納するためのレジスタが設けられるので、データ消去に先立ってこのレジスタに一旦データを書込めば、すべてのブロックにおいて消去されるべきビットが同一である場合には、以後このレジスタのデータを書換えなくても、外部アドレス信号を切換えるだけですべてのブロックにおいて所望のビットのデータのみを消去することができる。

【0162】ブロックごとに消去されるべきビットが異なる場合には、各ブロックのデータ消去に先立って、データビット選択回路33内のレジスタ回路部330のデータを書換えればよい。たとえば、メモリセルアレイ100が上記例のように4つのブロックに分割され、かつ、ブロック単位でのデータ消去が可能な構成である場合、アドレス0000からアドレス3FFFFまでに対応するブロックを指示するアドレス信号がアドレスレジスタ60に供給されて行なわれるデータ消去に先立つ消去ビット設定モードにおいて、データビット選択回路33の、前半のビットの入出力データを担うメモリセルに対応して設けられたレジスタおよび後半のビットの入出力データを担うメモリセルに対応して設けられたレジスタにそれぞれデータ“0”および“1”が書込まれ、アドレス4000からアドレス7FFFFまでに対応するブロックを指示するアドレス信号がアドレスレジスタ60に供給されて行なわれるデータ消去に先立つ消去ビット設定モードにおいて、最下位ビットの入出力データを担うメモリセルに対応して設けられたレジスタおよび他のビットの入出力データを担うメモリセルに対応して設けら

29

れたレジスタにそれぞれデータ“1”および“0”が書込まれ、アドレス8000からアドレスBFFFまでに
 対応するブロックを指示するアドレス信号がアドレスレ
 ジスタ60に供給されて行なわれるデータ消去に先立つ
 消去ビット設定モードにおいて、前半のビットのメモリ
 セルに対応して設けられたレジスタおよび後半のビット
 のメモリセルに対応して設けられたレジスタにそれぞれ
 データ“1”および“0”が書込まれ、アドレスC00
 0からFFFFまでに対応するブロックを指示するアド
 レス信号がアドレスレジスタ60に供給されて行なわれ
 るデータ消去に先立つ消去ビット設定モードにおいて、
 第10位ビットおよび第11位ビットのメモリセルに対
 して設けられたレジスタおよび他のビットのメモリセ
 ルに対応して設けられたレジスタにそれぞれデータ
 “1”および“0”が書込まれれば、図7に示されるよ
 うに、1つのブロックにおいてはすべてのアドレスから
 後半のビットのデータのみが消去され、他の1つのブロ
 ックにおいては、すべてのアドレスから前半のビットの
 データのみが消去され、さらに他の1つのブロックにお
 いては、すべてのアドレスから最下位ビットのデータ
 のみが消去され、残り1つのブロックにおいては、すべ
 てのアドレスから第10位ビットおよび第11位ビットの
 データが消去される。

【0163】なお、上記実施例において、フラッシュE
 EPROMを消去ビット設定モードに設定するためには、
 たとえば、チップイネーブル信号/CEやアウトプ
 ットイネーブル信号/OE等の外部制御信号を受ける外
 部端子に、通常与えられるハイレベルの電位(5V)より
 も高い電圧が入力される。すなわち、このような高電
 圧が外部制御信号を受けるべき所定の外部端子に入力さ
 れたことに応答して、レジスタ書込回路34が能動化さ
 れて消去ビット設定モードにおける上述のような回路動
 作が実現されるように、ソース線デコーダ32、データ
 ビット選択回路33、およびレジスタ書込回路34等の
 データ消去に関与する回路部が構成される。

【0164】しかしながら、フラッシュEEPROMを
 消去ビット設定モードに設定するための方法は、このよ
 うな方法に限定されず他のいかなる方法であってもよ
 く、たとえば、データ読出モード、データ書込モード
 (プログラムモード)、およびデータ消去モードに設定
 するための3つのコマンドの他にデータビット消去モー
 ドに設定するための新たなコマンドが設けられてもよ
 い。

【0165】以上のように、上記実施例では、消去ビ
 ット設定モードにおいてデータ消去の禁止を指示するデ
 タ“0”が書込まれたレジスタに対応するビットのメモ
 リセルのソースには、データ消去のための高電位 V_{DD}
 を付与しないことによって、所望のビットのメモリセ
 ルの記憶データのみが消去が実現される。しかしながら、
 消去ビット設定モードにおいてデータ消去の禁止が指示

30

されたビットのメモリセルの記憶データが消去モードに
 おいて消去されないようにするための方法は、このよう
 な方法に限定されず、これらのメモリセルのフローテ
 イングゲートと、ソースまたはドレインとの間に、フロ
 ティングゲートから電子が放出されるのに要する高電界
 が誘起されないように、これらのメモリセルのドレイン、
 ソース、およびコントロールゲートの電位が制御さ
 れればよい。

【0166】たとえば、FAMOSトランジスタのフロ
 ーティングゲートおよびソース間の酸化膜に誘起された
 電界の強さは、ドレイン電位にも影響される。そこで、
 たとえば、消去ビット設定モードにおいてデータ消去の
 禁止が指示されたビットのメモリセルのドレインが接続
 されたビット線にのみ、消去モードにおいて適当な高電
 位を付与するなどして、これらのメモリセルのフローテ
 イングゲートおよびソース間の酸化膜に誘起される電界
 の強さが、フローティングゲートから電子が放出され
 るのに要する強さよりも小さくなるように制御されれば、
 これらのメモリセルの記憶データは消去されず、他のビ
 ット線に接続されたメモリセルの記憶データのみが消去
 される。

【0167】このように、本発明によれば、消去モー
 ドにおいて、所望のビットの記憶データのみを消去する
 ことができるので、一部のビットのデータのみを変更する
 データ書換え行なった場合、このデータ書換えに先立つ
 データ消去によって、この一部のビット以外のビットの
 データは消去されないで、データを変更する必要のない
 ビットのメモリセルに再度同じデータを書込む必要が
 ない。それゆえ、データ書換えに要する時間が短縮さ
 れ、かつ、精度よくデータを書換えることができる。

【0168】

【発明の効果】以上のように、本発明によれば、全ブ
 ロック一括消去またはブロック単位のデータ消去が可能
 な不揮発性半導体記憶装置において、所望のビットのデ
 タのみを消去し、他のビットのデータを消去しないよ
 うにすることができるので、この不揮発性半導体記憶装
 置の記憶データの書換えを従来よりも効率よく、かつ、正
 確に行なうことが可能となる。したがって、本発明がた
 とえばフラッシュEEPROMに適用されれば、ビット
 コストが安く高集積化に有利であり、かつ、データ書換
 時の効率および精度が向上された不揮発性半導体記憶装
 置が提供される。

【図面の簡単な説明】

【図1】本発明の一実施例のフラッシュEEPROMの
 全体構成を示す概略ブロック図である。

【図2】実施例のフラッシュEEPROMの主要部分の
 構成を詳細に示す回路図である。

【図3】図2のデータビット選択回路およびソース線ス
 イッチの構成例を示す回路図である。

【図4】本発明にかかるフラッシュEEPROMによ

FH 008497

31

て可能となるデータ消去の一例を示す図である。

【図5】本発明にかかるフラッシュEEPROMによって可能となるデータ消去の他の例を示す図である。

【図6】本発明にかかるフラッシュEEPROMによって可能となるデータ消去のさらに他の例を示す図である。

【図7】本発明にかかるフラッシュEEPROMによって可能となるデータ消去のさらに他の例を示す図である。

【図8】従来のフラッシュEEPROMの全体構成を示す概略ブロック図である。

【図 9】従来のフラッシュEEPROMの主要部分の構成を詳細に示す回路図である。

【図10】フラッシュEEPROMのメモリセルの構造を示す断面図である。

【図11】EEPROMのメモリセルの構造を示す断面図である。

【図 1 2】ブロック単位でのデータ消去が可能な従来の

32

フラッシュEEPROMの主要部分の構成を示す回路図である。

【符号の説明】

100 メモリセルアレイ

1-0~1-n メモリセルアレイブロック

20 Yゲート

30 ソース線スイッチ群

40 Xデコーダ

50 Yデコーダ

60 アドレスレジスタ

3.2 ソース線デコーダ

3.3 データビット選択回路

3 4 レジスタ書込回路

300, 310, 300a, 300b, 310a, 31

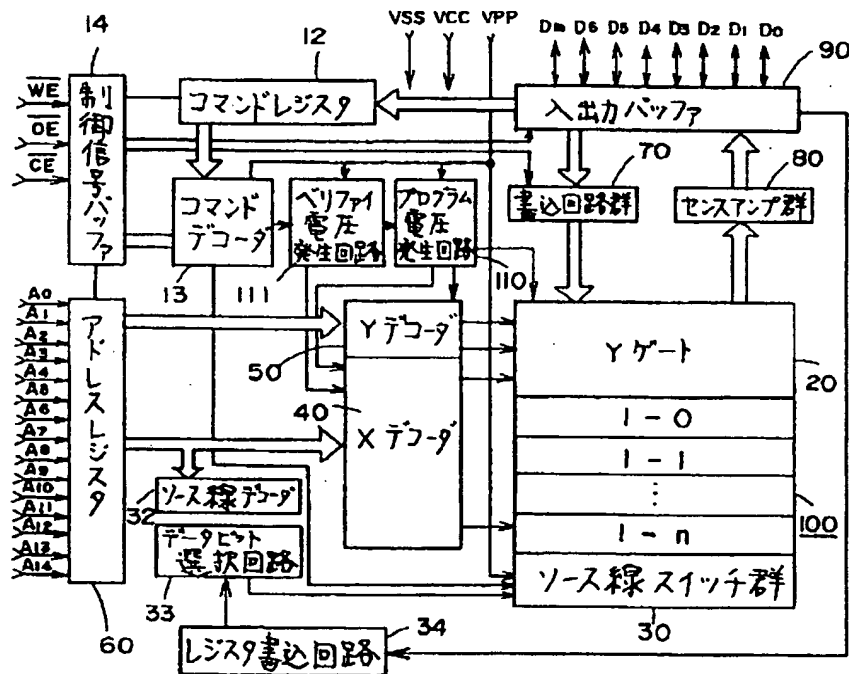
0 b ソース線スイッチ

280, 281, 280a, 280b, 281a, 28

1 b ソース線

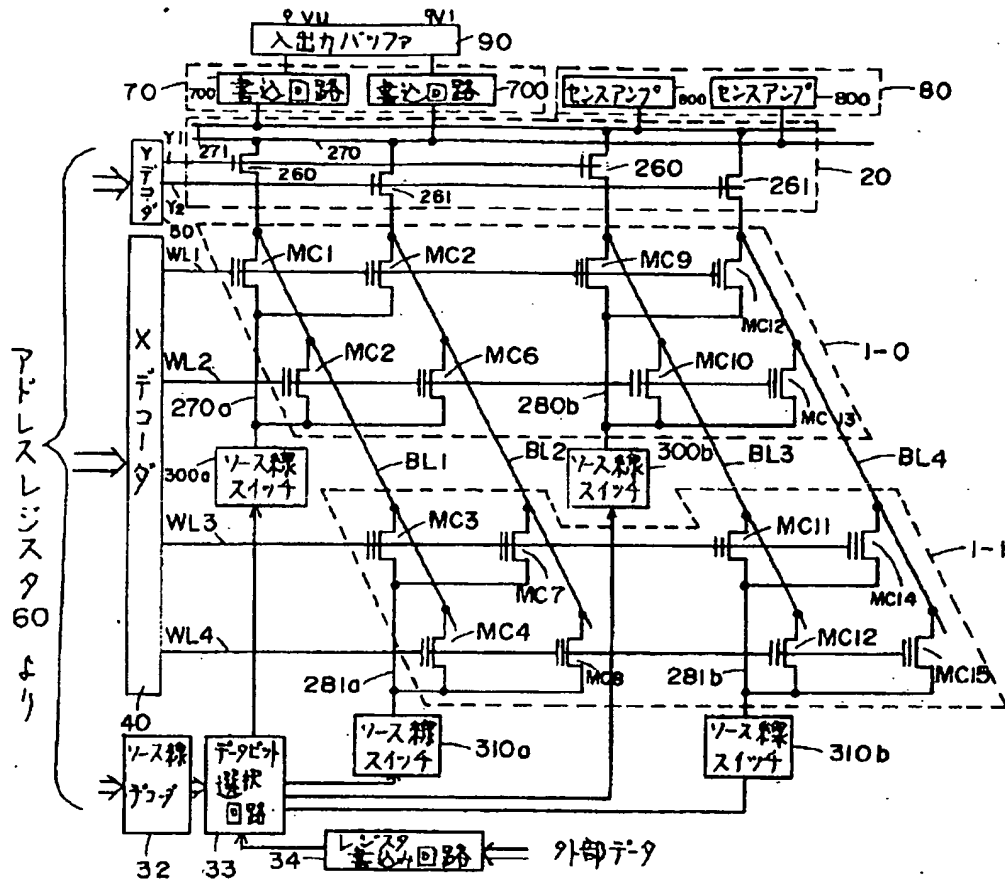
なお、図中、同一符号は同一または相当部分を示す。

【图 1】

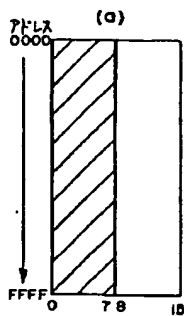


FH 008498

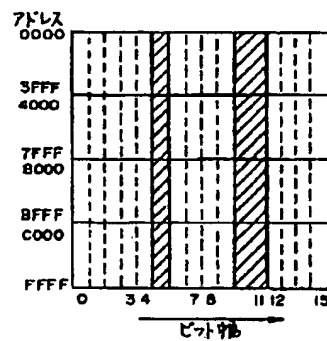
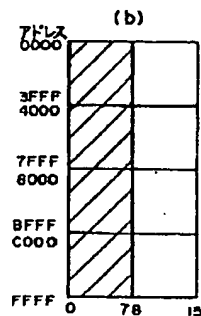
【図2】



【図5】

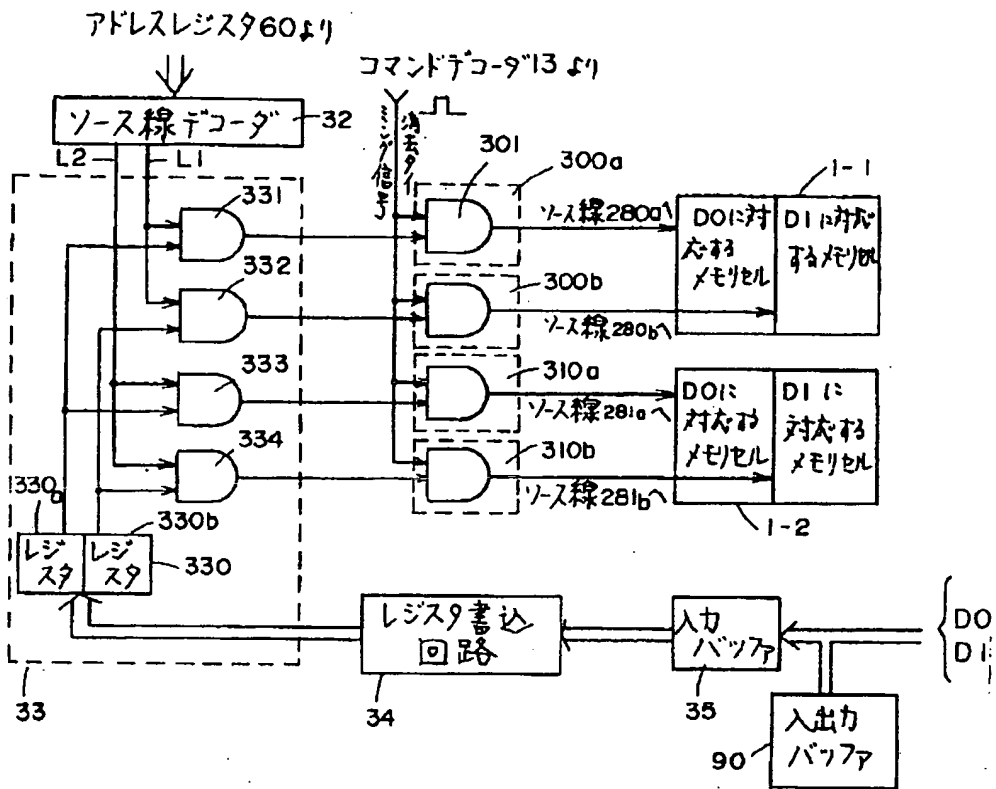


【図6】

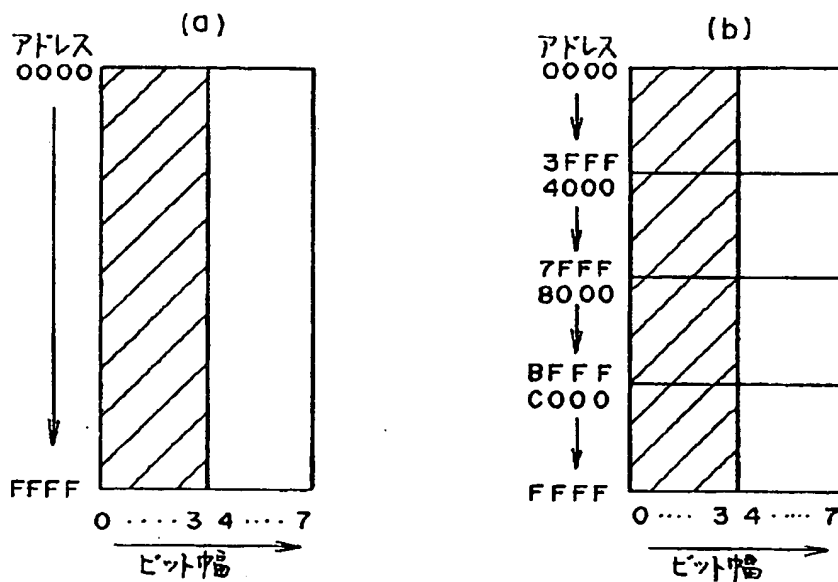


FH 008499

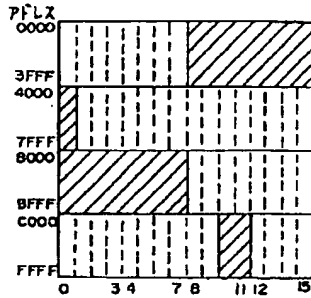
【図3】



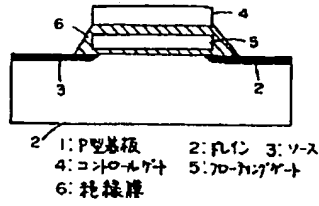
【図4】



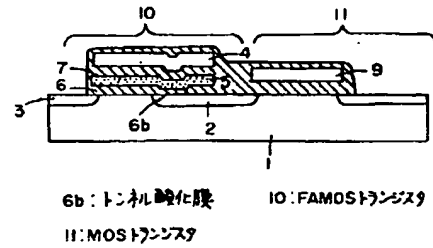
【図7】



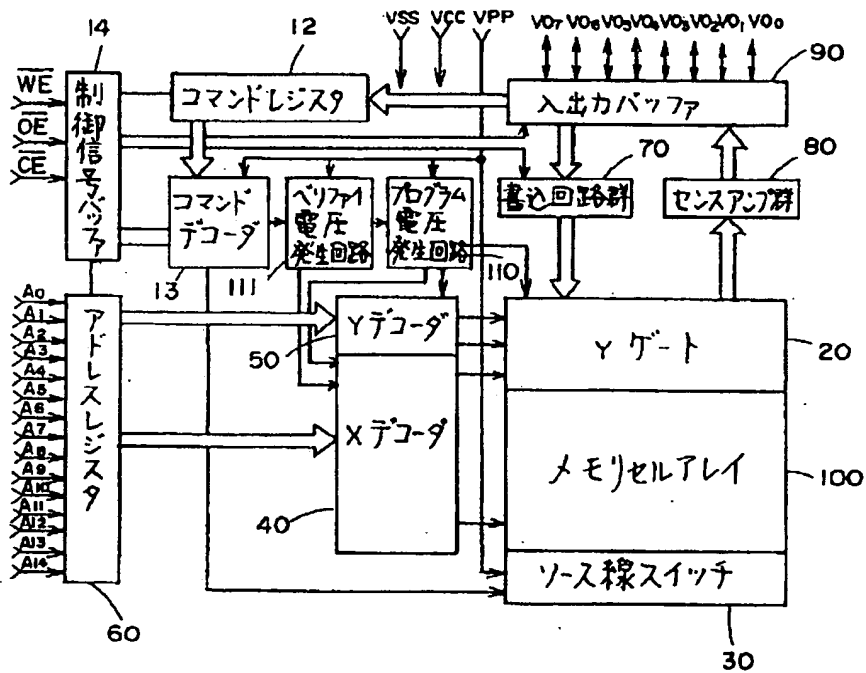
【図10】



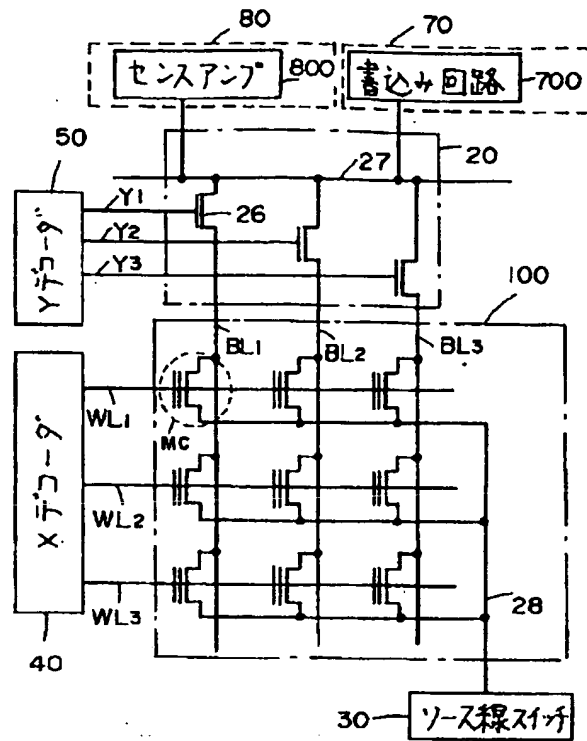
【図11】



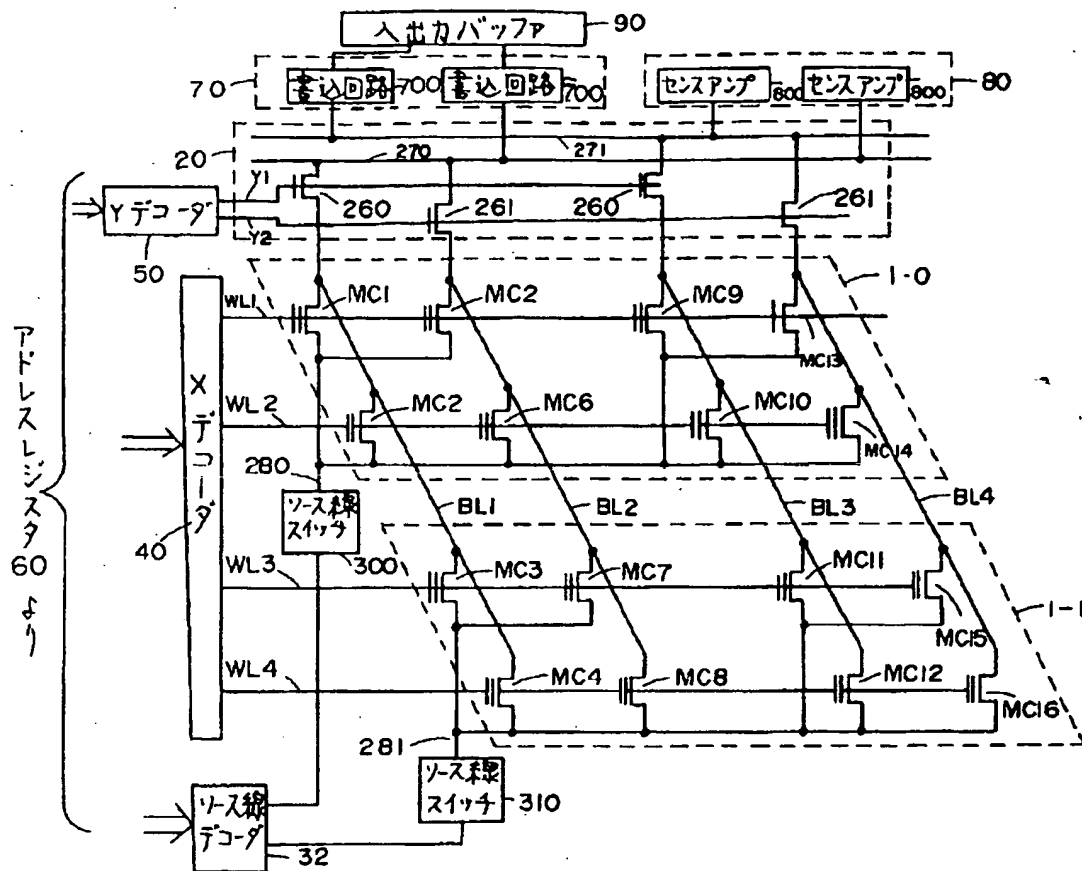
【図8】



【図9】



【図12】



FH 008503

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05128877 A

(43) Date of publication of application: 25 . 05 . 93

(51) Int. Cl.

G11C 16/06
H01L 27/115

(21) Application number: 03291300

(22) Date of filing: 07 . 11 . 91

(71) Applicant: MITSUBISHI ELECTRIC CORP

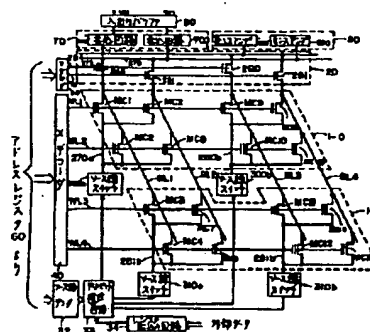
(72) Inventor: UEDA OSAMU
MORI SHINICHI(54) NONVOLATILE SEMICONDUCTOR MEMORY
DEVICE

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To efficiently and accurately rewrite storage data by providing a means to permit or inhibit erasure of data in plural data erasing means provided in a memory cell, erasing only the data of desired bit and not erasing other data.

CONSTITUTION: A memory cell array 100 is divided into blocks 1-0, 1-1 which are provided with a memory cell bearing input/output data of 2 bit D0, D1, and a flash EEPROM capable of erasing data as a unit of block is constituted. In the memory cells MC1-8 of the least significant bit D0 and the memory cells MC9-15 of a first bit D1, source lines 280a, 280b, 281a, 281b and source line switches 300a, 300b, 310a, 310b are individually provided. Also, at the time of erasing mode, each source line switch is given a signal to permit or inhibit the generation of a high potential for



FH 008504